

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-183448  
 (43)Date of publication of application : 23.07.1993

(51)Int.Cl.

H03M 13/12

(21)Application number : 03-334521  
 (22)Date of filing : 25.11.1991

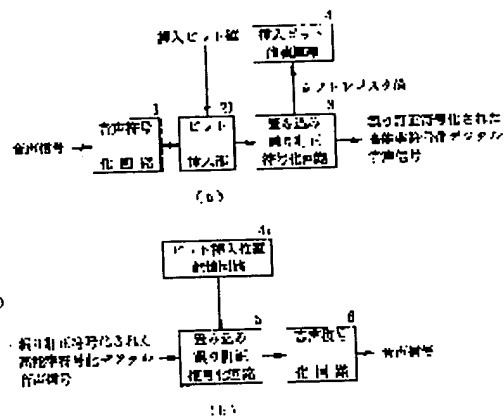
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (72)Inventor : MIYA KAZUYUKI  
 KATO OSAMU

## (54) ERROR CORRECTION ENCODING AND DECODING DEVICE

(57)Abstract:

PURPOSE: To enhance an error correction capability of a convolution code in the error correction encoding and decoding device provided with an organization encoder with feedback as an encoding circuit.

CONSTITUTION: The device is provided with a bit insertion means 21 inserting one or plural bits to an information signal series inputted to an encoder 3 and with an insertion bit arithmetic operation means 4 calculating the bit so that a value of a shift register of the encoder is a fixed value when the bit is inputted to the encoder in the encoder side. Moreover, a decoder side is provided with an insertion bit location storage means 41 storing the inserted position of the bit to the information signal series and with a convolution error correction decode means 5 applying maximum likelihood decoding to a reception signal by using the information of the inserted position so as to limit a state transition corresponding to the bit. When the bit inserted to the information signal series is inputted to the coder, the content of the shift register of the coder is a fixed value, and the convolution error correction decode means 5 limits a branch corresponding to the inserted bit on the way of a path of a trellis diagram.



## LEGAL STATUS

[Date of request for examination] 10.02.1995  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 2715398  
 [Date of registration] 07.11.1997  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

[Claim(s)]

[Claim 1] In the error correction codec equipment which possesses a systematic-code machine with feedback as a reefing error correcting code-ized means When said bit inputs into said encoder a bit insertion means to insert 1 or two or more bits in the information signal sequence inputted into said encoder at a coding side, An insertion bit-position storage means to have an insertion bit operation means to calculate the value of this bit so that the value of the shift register of this encoder may turn into a fixed value, and to memorize the insertion point to the information signal sequence of said bit to a decryption side, Error correction codec equipment characterized by having a reefing error correction decryption means to perform maximum likelihood decoding of an input signal by restricting the state transition corresponding to said bit using the information on said insertion point.

[Claim 2] Error correction codec equipment according to claim 1 characterized by having a bit arrangement means to arrange an important bit with error sensibility high among the information signals encoded with said systematic-code vessel with feedback near the insertion point of the bit by the beginning, the last, or said bit insertion means of an information signal sequence.

[Claim 3] Error correction codec equipment according to claim 1 or 2 with which said reefing error correcting code-ized means is characterized by providing a blowout chad coding means by which the rate of coding can be changed.

[Translation done.]

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention raises the error correction capacity of an information signal especially about the error correction codec equipment used for digital communication systems, such as a digital mobile telephone and a cellular phone.

[0002]

[Description of the Prior Art] Conventionally, in digital radio communication system, such as a digital mobile telephone, in order to hold the transmission quality of the information data more than fixed also in inferior transmission-line quality, powerful error correcting code-ization is performed. The "Viterbi decryption" which "convolutional code-ization" encoded as one of the error-correcting-code-izing of the combining the information signal before and behind the information signal sequence which carries out a sequential input is known, and asks for maximum likelihood decoding, using a trellis diagram as a method of decoding the convolutional code is known. [0003] With the error correction codec equipment using a convolutional code, when a circuit bit error rate was too high and exceeded the correction capacity of a convolutional code, there was a problem that a bit error will remain, in error correction decode, without a right information signal being unreproducible.

[0004] Therefore, in the conventional error correction, in order to reduce bit error residual percentage, the fixed value (0 or 1) of 1 bit or two or more bits is inserted in the information signal sequence which should be carried out [ error correcting code ]-izing, and error correcting code-ization is performed after that.

[0005] If it carries out like this, since the state transition corresponding to the location of the bit (fixed bit) which inserted the fixed value on the occasion of an error correction decryption can be restricted to one kind of value decided by the value (0 or 1) of a fixed bit, in the middle of the pass of a trellis diagram Only the part of the number of insertion bits can extract a branch to one kind of right branching, and can heighten the error correction capacity over the information signal before and behind the bit position which inserted the correction capacity, especially the fixed bit of a convolutional code.

[0006] As this conventional error correction codec equipment is shown in drawing 3, the side to encode in (a) A sound signal For example, the voice coding network 1 encoded to a high-efficiency-coding digitized voice signal, The fixed bit insertion section 2 which inserts the fixed value (0 or 1) of 1 bit or two or more bits to all or some information signals, It has the reefing error correcting code-ized circuit 3 which error-correcting-code-izes the digitized voice signal with which the fixed bit was inserted, and the inputted sound signal is changed into the error-correcting-code-ized high-efficiency-coding digitized voice signal.

[0007] The fixed bit insertion point store circuit 42 which, on the other hand, memorizes fixed bit insertion point information by (b) the side to decrypt, The reefing error correction decryption circuit 5 which decrypts an input signal to the high-efficiency-coding digitized voice signal except a transmission error using the fixed bit insertion point information memorized in this store circuit 42, It has the voice decryption circuit 6 which decrypts the digital signal which this circuit 5 outputs to a sound signal, and the received high-efficiency-coding digitized voice signal which was error-correcting-code-ized is changed into the sound signal.

[0008] The coding network called a non-systematic-code machine is used for the reefing error correcting code-ized circuit 3 of this error correction codec equipment. This circuit in a thing with rate  $R=$ of coding  $1/2$ , and  $nu=2$  shift registers The shift register R031 which information signals  $x_0$  and  $x_1$  and  $x_2$ -- input in order as shown in (a) of drawing 4, It has the shift register R132 which the output signal of a shift register R031 inputs. Carry out the output signal and information signal of a shift register R132 EXCLUSIVE-OR-operation 35, and one sending signal is formed. Moreover, the value of a shift register R132 is further made the exclusive OR 36 of a shift register R031 and an information signal EXCLUSIVE-OR-operation 37, the sending signal of another side is formed, parallel-serial conversion of these sending signals is carried out, and they are outputted.

[0009] If the fixed bit ( $x_4$ ) inputs into a coding network when the fixed bit (for example,  $x_4=0$ ) is inserted in the information signal, it will be decided that the value of a shift register will be one kind of value of a fixed value. Therefore, in a decryption side, it becomes possible to specify the alternative of the state transition corresponding to the information signal  $x_4$  of a trellis diagram, and the probability for the pass which decodes  $x_4$  accidentally as pass finally chosen to be chosen can be set to 0.

[0010] In a convolutional code, although there is the description which a decode bit error spreads, the error correction probability of an about [  $x_4$  ] information signal is improvable by inserting and convolutional-code-izing the fixed bit  $x_4$  in this way.

[0011]

[Problem(s) to be Solved by the Invention] However, there is a coding network called the systematic-code machine with feedback other than said non-systematic-code machine in the reefing error correcting code-ized circuit 3. This

circuit equips the case with rate  $R$  of coding  $1/2$ , and  $nu = 2$  shift registers with the shift register R033 and the shift register R134, as shown in (b) of drawing 4, the output signal of a shift register R134 is fed back and inputted into a shift register R033, and the exclusive OR 38 of the output signal of a shift register R033 and an information signal ( $x_0, x_1, x_2 \dots$ ) is inputted into a shift register R134. Moreover, an information signal and the output signal of a shift register R134 are taken out as a sending signal, and parallel-serial conversion is carried out, and they are sent out.

[0012] Even if it inserts a fixed bit ( $x_4=0$ ) in an information signal, the value of shift registers R033 or R134 is not decided by this systematic-code machine with feedback only with the value of the fixed bit  $x_4$ . Therefore, in a decryption side, the state transition of a shift register cannot be extracted corresponding to an information signal  $x_4$ , and an improvement of error correction capacity like a non-systematic-code machine cannot be desired.

[0013] This invention solves such a conventional trouble, and even if it is the case where it has a systematic-code machine with feedback as a coding network, it aims at offering the error correction codec equipment which can heighten the correction capacity of a convolutional code as well as a non-systematic-code machine.

[0014]

[Means for Solving the Problem] So, in this invention, it sets to the error correction codec equipment which possesses a systematic-code machine with feedback as a reefing error correcting code-ized means. A bit insertion means to insert 1 or two or more bits in the information signal sequence inputted into said encoder at a coding side, An insertion bit operation means to calculate the value of this bit so that the value of the shift register of an encoder may turn into a fixed value, when this bit inputs into an encoder is established. An insertion bit-position storage means to memorize the insertion point to the information signal sequence of this bit, and a reefing error correction decryption means to perform maximum likelihood decoding of an input signal by restricting the state transition corresponding to said bit using the information on this insertion point are formed in the decryption side.

[0015] Moreover, a bit arrangement means to arrange an important bit with error sensibility high among the information signals encoded with a systematic-code vessel with feedback the beginning of an information signal sequence, the last, or near [ that is inserted ] the insertion point of a bit is established.

[0016] Furthermore, the blowout chad coding means which can change the rate of coding is made to build in a reefing error correcting code-ized means.

[0017]

[Function] With the error correction codec equipment of this invention, if the bit inserted in the information signal sequence inputs into a systematic-code machine with feedback, the value of the shift register of this encoder turns into a fixed value, therefore it becomes possible with a reefing error correction decryption means to extract the branch corresponding to an insertion bit to specific branching in the middle of the pass of a trellis diagram, and error correction capacity can be heightened.

[0018] Moreover, the important bit with high error sensibility is arranged the high location of error correction capacity, i.e., the beginning of a signal sequence, near the last or the insertion bit position with the bit arrangement means.

[0019] Moreover, although error correction capacity also changes by changing the number of insertion bits, it constitutes so that it may relate with it and the rate of coding of blowout chad coding may be changed, and the effectiveness of data transmission is raised.

[0020]

[Example] As the example of the error correction codec equipment of this invention is shown in drawing 1, it sets to (a) the side to encode. The voice coding network 1 which encodes a sound signal to a high-efficiency-coding digitized voice signal, The bit insertion section 21 which inserts a bit value to the information signal with which all or a part should be error-correcting-code-ized, It has the insertion bit value operation part 4 which calculates the bit value which should be inserted, and the reefing error correcting code-ized circuit 3 which error-correcting-code-izes the signal sequence in which the bit value was inserted, and the inputted sound signal is changed into the error-correcting-code-ized high-efficiency-coding digitized voice signal.

[0021] The bit insertion point store circuit 41 which, on the other hand, memorizes bit insertion point information in (b) the side to decrypt, The reefing error correction decryption circuit 5 which decrypts the reefing error correction of the digitized voice signal received using the bit insertion point information memorized in this store circuit 41, It has the voice decryption circuit 6 which decrypts the digital signal which this circuit outputs to a sound signal, and the received high-efficiency-coding digitized voice signal which was error-correcting-code-ized is changed into the sound signal.

[0022] Moreover, the reefing error correcting code-ized circuit 3 in this error correction codec equipment It is the systematic-code machine with feedback explained previously. To a case with rate  $R$  of coding  $1/2$ , and  $nu = 2$  shift registers As shown in drawing 2, it has a shift register R033 and a shift register R134. The output signal of a shift register R134 feeds back and inputs into a shift register R033. The exclusive OR 38 of the output signal of a shift register R033 and an information signal ( $x_0, x_1, x_2 \dots$ ) is inputted into a shift register R134, an information signal and the output signal of a shift register R134 are taken out as a sending signal, and parallel-serial conversion is carried out, and they are sent out.

[0023] Next, actuation of the equipment of this example is explained.

[0024] From the reefing error correcting code-ized circuit 3, the value of the shift registers 33 and 34 of a systematic-code machine with feedback is sent to the insertion bit value operation part 4, and the bit value of the insertion bit which can set the value of the shift register of said encoder as a fixed value (for example, 0) is calculated by this insertion bit value operation part 4 based on this value. The calculated insertion bit value is sent to the bit insertion section 21, and carries out bit insertion of the value in the bit insertion section 21 to the information sequence of the information signal which should be error-correcting-code-ized. The information signal sequence by which bit insertion was carried out is transmitted after being error-correcting-code-ized in the reefing error correcting code-ized circuit 3.

[0025] On the other hand, in a decryption side, Viterbi decoding is performed in the reeving error correction decryption circuit 5, restricting the state transition corresponding to a bit insertion point to branching specified by the insertion bit using the bit insertion point information which the bit insertion point store circuit 41 memorizes. Subsequently, the decrypted digital signal is changed into a sound signal in the voice decryption circuit 6.

[0026] Now, the value of the insertion bit for setting the value of shift registers 33 and 34 as the fixed value of 0 is explained.

[0027] Information signals  $x_0$  and  $x_1$ ,  $x_2$ ,  $x_3$ , and  $x_4$  -- are inputted into a systematic-code machine with feedback in order. Among these, suppose that it is the bit in which  $x_4$  was inserted.

[0028] With the systematic-code vessel with feedback shown in drawing 2, the following relational expression is realized between the information signals which are the value and input value of shift registers R033 and R134.

[0029]  $R0(i+1) = R1(i)$   $R1(i+1) = R0(i) + x(i+1)$  Or  $R0(i+2) = R0(i) + x(i+1)$   $R1(i+2) = R1(i) + x(i+2)$  However,  $i$  shows the sequence of the information signal inputted into a systematic-code machine with feedback for the integer of  $i \geq 0$ , and  $+$  shows an exclusive OR.

[0030] Since it has the relation of  $R1(4) = R0(3) + x_4$  when it does so and the exclusive OR of the same values will be set to 0 if a bit insertion value is set as  $x_4 = R0(3)$ ,  $R1(4)$  is surely set to 0.

[0031] Therefore, as for shift registers R033 and R134, the condition that the combination of R0 and R1 can take in the combination of R0 and R1 since the value of R1 is decided as one kind although four conditions are possible since each can originally take the value of 0 and 1 is also limited to two conditions. Therefore, in a decryption side, it becomes possible to extract the state transition of the shift register corresponding to an information signal  $x_4$  to two of four alternative.

[0032] Furthermore, if bit insertion is performed with  $x_4$ , using  $x_{five}$  as  $x_5 = R1(3)$ ,  $R1(5)$  will surely be set to 0 from the relation of  $R1(5) = R1(3) + x_5$ .

[0033] Moreover,  $R0(5)$  surely turns into 0 from the relation of  $R0(5) = R1(4)$ .

[0034] Therefore, in this case, since  $R0(5)$  and  $R1(5)$  are set to 0 both in  $i = 5$ , the condition of the combination of R0 and R1 is fixed to one, and it becomes possible by the decryption side to extract the state transition of a corresponding shift register to one.

[0035] Thus, by carrying out bit insertion of  $x_4$  which has said value in an information signal sequence, or  $x_4$  and  $x_5$ , the value of a shift register can be set as a fixed value, and it becomes possible by the decryption side to narrow down the state transition of the shift register corresponding to a bit insertion point in the Viterbi decoding of an error correction decryption according to it. Therefore, the probability for the pass which decodes  $x_4$  or  $x_5$  accidentally as pass finally chosen to be chosen can be set to 0, and the error correction capacity over an information signal can be heightened.

[0036] In addition, it is required to mistake and to transmit especially about an important bit with high error sensibility, among the information signals which should carry out an error correction decryption, that there is nothing. Therefore, the data transmission of high quality becomes possible by allotting the bit of such an information signal to the beginning of coding with the error correction capacity of a convolutional code high from the first, and the last, since the value of a shift register is 0, or allotting near the aforementioned insertion bit.

[0037] In order to perform such data transmission, between the voice coding networks 1 of a coding side circuit and the bit insertion sections 21 which are shown in (a) of drawing 1 The bit array section which specifies the array sequence of the information signal in an information signal sequence is prepared. It rearranges into the location used as the beginning of coding of an important bit with high error sensibility, or the last based on error sensibility, significance, etc. of an information signal which were investigated by the voice coding network 1, or the actuation rearranged near the location where a bit is inserted in the bit insertion section 21 is made to perform.

[0038] Moreover, raising the transmission efficiency of data transmission is performed in the reeving error correcting code-sized circuit 3 by coding called blowout chad coding. Although ten signals will be transmitted if five information signals input since two signals output this in the coding network shown in drawing 2 whenever it inputs one information signal for example In blowout chad coding, when [ this ] trouble does not arise in the decode by the side of a decryption, the signal is omitted periodically and while being outputted transmits nine output signals to the input of five information signals, improvement in transmission efficiency is aimed at.

[0039] In this case, if it has the ratio of the signal to omit, and a reverse way of speaking, the rate of coding is applied to how [ that can perform decode comparable as the case where it does not omit ] it is, even if it omits a signal to a decryption side.

[0040] Since error correction capacity can be adjusted by fluctuating the number of bits inserted in an information signal sequence with the error correction codec equipment of this invention, it is possible by setting up the number of insertion bits suitably to change the rate of coding of blowout chad coding flexibly. Therefore, a blowout chad coding means by which the rate of coding can be changed can be made to be able to build in a reeving error correcting code-sized circuit, and the increase in efficiency of data transmission can be attained by associating the insertion number of bits and the rate of coding.

[0041]

[Effect of the Invention] With the error correction codec equipment of this invention, the error correction capacity over the information signal before and behind the insertion point of an insertion bit can be heightened like the case of a non-systematic-code machine, providing a systematic-code machine with feedback as a coding network so that clearly from explanation of the above example.

[0042] Furthermore, according to this invention, by setting up the number of bits to insert suitably, flexibility can be given to the rate of blowout chad coding of a convolutional code with a systematic-code machine with feedback, and, thereby, the increase in efficiency of data transmission can be attained.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-183448

(43)公開日 平成5年(1993)7月23日

技術表示箇所

(51)Int.Cl.<sup>5</sup>

H03M 13/12

識別記号

庁内整理番号  
7259-5J

F I

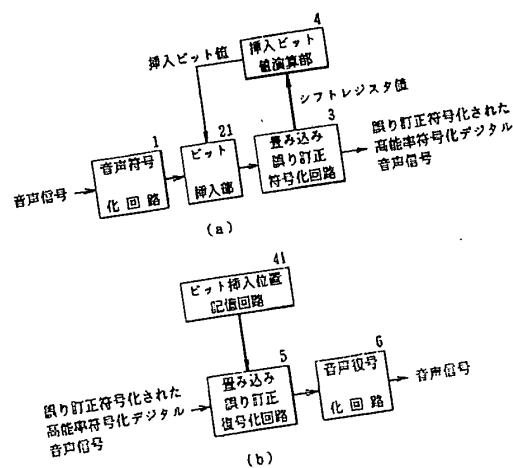
審査請求 未請求 請求項の数3(全7頁)

(21)出願番号 特願平3-334521  
(22)出願日 平成3年(1991)11月25日

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 宮 和行  
神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内  
(72)発明者 加藤 修  
神奈川県横浜市港北区綱島東四丁目3番1  
号 松下通信工業株式会社内  
(74)代理人 弁理士 役 昌明 (外1名)

(54)【発明の名称】 誤り訂正符号化装置

(57)【要約】 (修正有)  
【目的】 符号化回路としてフィードバック付き組織符号器を備える誤り訂正符号化復号化装置において、畳込み符号の誤り訂正能力を高める。  
【構成】 符号化側に、符号器3に入力する情報信号系列に1または複数のビットを挿入するビット挿入手段21と、このビットが符号器に入力したとき符号器のシフトレジスタの値が固定値になるようにこのビットの値を演算する挿入ビット演算手段4とを設け、復号化側に、このビットの情報信号系列への挿入位置を記憶する挿入ビット位置記憶手段41と、この挿入位置の情報を利用して前記ビットに対応する状態遷移を制限することにより受信信号の最尤復号を行なう畳込み誤り訂正復号化手段5とを設けている。情報信号系列に挿入されたビットが符号器に入力すると、符号器のシフトレジスタの値は固定値になり、畳込み誤り訂正復号化手段5では、トレリス線図のパスの途中で挿入ビットに対応するブランチを絞ることができる。



## 【特許請求の範囲】

【請求項1】 畳込み誤り訂正符号化手段としてフィードバック付き組織符号器を具備する誤り訂正符号化装置において、

符号化側に、

前記符号器に入力する情報信号系列に1または複数のビットを挿入するビット挿入手段と、

前記ビットが前記符号器に入力したとき、該符号器のシフトレジスタの値が固定値になるように該ビットの値を演算する挿入ビット演算手段とを備え、

復号化側に、

前記ビットの情報信号系列への挿入位置を記憶する挿入ビット位置記憶手段と、

前記挿入位置の情報を利用して前記ビットに対応する状態遷移を制限することにより受信信号の最尤復号を行なう畳込み誤り訂正復号化手段とを備えたことを特徴とする誤り訂正復号化装置。

【請求項2】 前記フィードバック付き組織符号器により符号化される情報信号のうち、誤り感度の高い重要ビットを情報信号系列の最初または最後もしくは前記ビット挿入手段によるビットの挿入位置の近傍に配置するビット配置手段を備えたことを特徴とする請求項1に記載の誤り訂正復号化装置。

【請求項3】 前記畳込み誤り訂正符号化手段が、符号化率を変更することができるパンクチャド符号化手段を具備することを特徴とする請求項1または2に記載の誤り訂正復号化装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、デジタル自動車電話や携帯電話等のデジタル通信装置に使用する誤り訂正復号化装置に関し、特に、情報信号の誤り訂正能力を向上させたものである。

## 【0002】

【従来の技術】従来、デジタル自動車電話等のデジタル無線通信システムでは、劣悪な伝送路品質でも一定以上の情報データの伝送品質を保持するため、強力な誤り訂正符号化が行なわれている。その誤り訂正符号化の1つとしては、順次入力する情報信号系列の前後の情報信号を組合わせて符号化する「畳込み符号化」が知られており、また、その畳込み符号の復号法としては、トレリス線図を用いて最尤復号を求める「ビタビ復号化」が知られている。

【0003】畳込み符号を用いた誤り訂正復号化装置では、回線ビット誤り率が高過ぎて、畳込み符号の訂正能力を越える場合には、誤り訂正復号において、正しい情報信号を再生できずに、ビット誤りが残留してしまうという問題があった。

【0004】そのため、従来の誤り訂正では、ビット誤り残留率を引下げるため、誤り訂正符号化すべき情報信

号系列に1ビットまたは複数ビットの固定値(0または1)を挿入し、その後に誤り訂正符号化を行なっている。

【0005】こうすると、誤り訂正復号化の際に、固定値を挿入したビット(固定ビット)の位置に対応する状態遷移を固定ビットの値(0または1)で決まる1通りの値に制限できるため、トレリス線図のパスの途中で、挿入ビットの数の分だけ、ブランチを1通りの正しい分岐に絞ることができ、畳込み符号の訂正能力、特に固定ビットを挿入したビット位置の前後の情報信号に対する誤り訂正能力を高めることができる。

【0006】この従来の誤り訂正復号化装置は、図3に示すように、符号化する側(a)では、音声信号を例えば高能率符号化デジタル音声信号に符号化する音声符号化回路1と、全部または一部の情報信号に対して1ビットまたは複数ビットの固定値(0または1)を挿入する固定ビット挿入部2と、固定ビットの挿入されたデジタル音声信号を誤り訂正符号化する畳込み誤り訂正符号化回路3とを備えており、入力された音声信号を誤り訂正符号化された高能率符号化デジタル音声信号に変換している。

【0007】一方、復号化する側(b)では、固定ビット挿入位置情報を記憶する固定ビット挿入位置記憶回路42と、この記憶回路42に記憶された固定ビット挿入位置情報を利用して入力信号を伝送誤りを除いた高能率符号化デジタル音声信号に復号化する畳込み誤り訂正復号化回路5と、この回路5が出力するデジタル信号を音声信号に復号化する音声復号化回路6とを備えており、受信した誤り訂正符号化された高能率符号化デジタル音声信号を音声信号に変換している。

【0008】この誤り訂正復号化装置の畳込み誤り訂正符号化回路3には、非組織符号器と呼ばれる符号化回路が使用されている。この回路は、符号化率 $R=1/2$ 、シフトレジスタ数 $\nu=2$ のものでは、図4の(a)に示すように、情報信号 $x_0, x_1, x_2, \dots$ が順に入力するシフトレジスタ $R_{031}$ と、シフトレジスタ $R_{031}$ の出力信号が入力するシフトレジスタ $R_{132}$ とを備え、シフトレジスタ $R_{132}$ の出力信号と情報信号とを排他的論理和演算35して一方の送信信号が形成され、また、シフトレジスタ $R_{031}$ と情報信号との排他的論理和36に更にシフトレジスタ $R_{132}$ の値を排他的論理和演算37して他方の送信信号が形成され、これらの送信信号が並列変換されて出力される。

【0009】情報信号に固定ビット(例えば $x_4=0$ )が挿入されている場合には、その固定ビット( $x_4$ )が符号化回路に入力すると、シフトレジスタの値は、固定値の1通りの値に決まる。そのため、復号化側では、トレリス線図の情報信号 $x_4$ に対応する状態遷移の選択枝を特定することが可能になり、最終的に選択するパスとして、 $x_4$ を誤って復号するパスが選択される確率を0に



することができる。

【0010】畳込み符号においては、復号ビット誤りが伝搬する特徴があるが、このように、固定ビット $\times 4$ を挿入して畳込み符号化することにより、 $\times 4$ 近傍の情報信号の誤り訂正確率を改善することができる。

【0011】

【発明が解決しようとする課題】しかし、畳込み誤り訂正符号化回路3には、前記非組織符号器の他に、フィードバック付き組織符号器と呼ばれる符号化回路がある。この回路は、符号化率 $R=1/2$ 、シフトレジスタ数 $\nu=2$ の場合には、図4の(b)に示すように、シフトレジスタ $R033$ と、シフトレジスタ $R134$ とを備えており、シフトレジスタ $R134$ の出力信号をシフトレジスタ $R033$ にフィードバックして入力し、シフトレジスタ $R033$ の出力信号と情報信号( $x_0, x_1, x_2 \dots$ )との排他的論理和38がシフトレジスタ $R134$ に入力される。また、情報信号およびシフトレジスタ $R134$ の出力信号が、送信信号として取り出され、並直列変換されて送出される。

【0012】このフィードバック付き組織符号器では、情報信号に固定ビット( $x_4=0$ )を挿入しても、シフトレジスタ $R033$ または $R134$ の値は、固定ビット $\times 4$ の値だけでは決まらない。そのため、復号化側では、情報信号 $x_4$ に対応してシフトレジスタの状態遷移を絞ることができず、非組織符号器のような誤り訂正能力の改善を望むことができない。

【0013】本発明は、このような従来の問題点を解決するものであり、符号化回路としてフィードバック付き組織符号器を備える場合であっても、非組織符号器と同じように、畳込み符号の訂正能力を高めることができる誤り訂正符号化装置を提供することを目的としている。

【0014】

【課題を解決するための手段】そこで、本発明では、畳込み誤り訂正符号化手段としてフィードバック付き組織符号器を具備する誤り訂正符号化装置において、符号化側に、前記符号器に入力する情報信号系列に1または複数のビットを挿入するビット挿入手段と、このビットが符号器に入力したとき符号器のシフトレジスタの値が固定値になるようにこのビットの値を演算する挿入ビット演算手段とを設け、復号化側に、このビットの情報信号系列への挿入位置を記憶する挿入ビット位置記憶手段と、この挿入位置の情報を利用して前記ビットに対応する状態遷移を制限することにより受信信号の最尤復号を行なう畳込み誤り訂正復号化手段とを設けている。

【0015】また、フィードバック付き組織符号器により符号化される情報信号のうち、誤り感度の高い重要ビットを情報信号系列の最初または最後あるいは挿入されるビットの挿入位置の近傍に配置するビット配置手段を設けている。

【0016】さらに、畳込み誤り訂正符号化手段に、符

号化率の変更が可能なパンクチャド符号化手段を内蔵させている。

【0017】

【作用】本発明の誤り訂正符号化装置では、情報信号系列に挿入されたビットがフィードバック付き組織符号器に入力すると、この符号器のシフトレジスタの値は固定値になり、そのため、畳込み誤り訂正復号化手段では、トレリス線図のパスの途中で挿入ビットに対応するブランチを特定の分岐に絞ることが可能になり、誤り訂正能力を高めることができる。

【0018】また、ビット配置手段により、誤り感度の高い重要ビットを、誤り訂正能力の高い位置、すなわち、信号系列の最初、最後または挿入ビット位置の近傍に配置している。

【0019】また、挿入ビットの数を変えることにより、誤り訂正能力も変化するが、それと関連づけてパンクチャド符号化の符号化率を変化させ得るように構成して、データ伝送の効率を高めている。

【0020】

【実施例】本発明の誤り訂正符号化装置の実施例は、図1に示すように、符号化する側(a)においては、音声信号を高エネルギー符号化デジタル音声信号に符号化する音声符号化回路1と、全部または一部の誤り訂正符号化されるべき情報信号に対してビット値を挿入するビット挿入部21と、挿入すべきビット値を演算する挿入ビット値演算部4と、ビット値が挿入された信号系列を誤り訂正符号化する畳込み誤り訂正符号化回路3とを備えており、入力された音声信号を誤り訂正符号化された高エネルギー符号化デジタル音声信号に変換している。

【0021】一方、復号化する側(b)においては、ビット挿入位置情報を記憶するビット挿入位置記憶回路41と、この記憶回路41に記憶されたビット挿入位置情報を利用して受信したデジタル音声信号の畳込み誤り訂正を復号化する畳込み誤り訂正復号化回路5と、この回路が出力するデジタル信号を音声信号に復号化する音声復号化回路6とを備えており、受信した誤り訂正符号化された高エネルギー符号化デジタル音声信号を音声信号に変換している。

【0022】また、この誤り訂正符号化装置における畳込み誤り訂正符号化回路3は、先に説明したフィードバック付き組織符号器であり、符号化率 $R=1/2$ 、シフトレジスタ数 $\nu=2$ の場合には、図2に示すように、シフトレジスタ $R033$ と、シフトレジスタ $R134$ とを備え、シフトレジスタ $R134$ の出力信号がシフトレジスタ $R033$ にフィードバックして入力し、シフトレジスタ $R033$ の出力信号と情報信号( $x_0, x_1, x_2 \dots$ )との排他的論理和38がシフトレジスタ $R134$ に入力され、情報信号およびシフトレジスタ $R134$ の出力信号が送信信号として取り出され、並直列変換されて送出される。

【0023】次に、この実施例の装置の動作について説

明する。

【0024】畳込み誤り訂正符号化回路3からは、フィードバック付き組織符号器のシフトレジスタ33、34の値が挿入ビット値演算部4に送られており、この挿入ビット値演算部4では、この値に基づいて、前記符号器のシフトレジスタの値を固定値(例えば0)に設定できる挿入ビットのビット値を演算する。演算した挿入ビット値は、ビット挿入部21に送られ、ビット挿入部21では、誤り訂正符号化されるべき情報信号の情報系列に対してその値をビット挿入する。ビット挿入された情報信号系列は、畳込み誤り訂正符号化回路3で誤り訂正符号化されたのち、送信される。

【0025】一方、復号化側では、畳込み誤り訂正復号化回路5において、ビット挿入位置記憶回路41が記憶するビット挿入位置情報を利用して、ビット挿入位置に対応する状態遷移を、挿入ビットによって特定される分岐に制限しながら、ビタビ復号を行なう。次いで、復号化されたデジタル信号は、音声復号化回路6において音声信号に変換される。

【0026】さて、シフトレジスタ33、34の値を0の固定値に設定するための挿入ビットの値について説明する。

【0027】フィードバック付き組織符号器には、情報信号 $x_0$ 、 $x_1$ 、 $x_2$ 、 $x_3$ 、 $x_4$ が順番に入力される。このうち、 $x_4$ が挿入されたビットであるとする。

【0028】図2に示すフィードバック付き組織符号器では、シフトレジスタ $R_0$ 33、 $R_1$ 34の値および入力値である情報信号の間には次の関係式が成り立つ。

【0029】

$$R_0(i+1) = R_1(i)$$

$$R_1(i+1) = R_0(i) + x(i+1)$$

または、

$$R_0(i+2) = R_0(i) + x(i+1)$$

$$R_1(i+2) = R_1(i) + x(i+2)$$

ただし、 $i$ は $i \geq 0$ の整数でフィードバック付き組織符号器に入力される情報信号の順序を示し、また、 $+$ は排他的論理和を示す。

【0030】そうすると、

$$R_1(4) = R_0(3) + x_4$$

の関係を有するから、ビット挿入値を

$$x_4 = R_0(3)$$

に設定すると、同一値同士の排他的論理和は0になるため、 $R_1(4)$ は必ず0になる。

【0031】したがって、シフトレジスタ $R_0$ 33および $R_1$ 34は、本来、それぞれが0と1との値を取り得るから、 $R_0$ と $R_1$ の組み合わせでは4つの状態が可能であるが、 $R_1$ の値が1通りに決まるため、 $R_0$ と $R_1$ の組み合わせの取り得る状態も2状態に限定される。そのため、復号化側では、情報信号 $x_4$ に対応するシフトレジスタの状態遷移を4つの選択肢のうちの2つに絞ることが可

能になる。

【0032】更に、 $x_4$ と共に、 $x_5$ を  
 $x_5 = R_1(3)$

としてビット挿入を行なうと、

$$R_1(5) = R_1(3) + x_5$$

の関係から、 $R_1(5)$ が必ず0になる。

【0033】また、

$$R_0(5) = R_1(4)$$

の関係から、 $R_0(5)$ も必ず0になる。

【0034】したがって、この場合には、 $i = 5$ において、 $R_0(5)$ および $R_1(5)$ が共に0になるため、 $R_0$ と $R_1$ の組み合わせの状態が1つに固定され、復号化側では、対応するシフトレジスタの状態遷移を1つに絞ることが可能になる。

【0035】このように、情報信号系列に前記値を持つ $x_4$ 、または $x_4$ と $x_5$ とをビット挿入することにより、シフトレジスタの値を固定値に設定することができ、それに応じて、復号化側では、誤り訂正復号化のビタビ復号において、ビット挿入位置に対応するシフトレジスタの状態遷移を絞り込むことが可能になる。そのため、最終的に選択されるパスとして、 $x_4$ または $x_5$ を誤って復号するパスが選択される確率を0にすることができ、情報信号に対する誤り訂正能力を高めることができる。

【0036】なお、誤り訂正復号化すべき情報信号のうち誤り感度の高い重要なビットについては、特に誤りなく伝送することが必要である。そのため、このような情報信号のビットは、シフトレジスタの値が0であるため畳込み符号の誤り訂正能力がもともと高い符号化の最初および最後に配したり、あるいは、前記の挿入ビットの近傍に配することにより、高品質のデータ伝送が可能になる。

【0037】このようなデータ伝送を行なうためには、図1の(a)に示す符号化側回路の音声符号化回路1とビット挿入部21との間に、情報信号系列における情報信号の配列順序を規定するビット配列部を設け、音声符号化回路1で調べた情報信号の誤り感度および重要度等に基づいて、誤り感度の高い重要なビットを符号化の最初または最後となる位置に並べ替えたり、ビット挿入部21でビットが挿入される位置の近傍に並べ替える動作を行なわせる。

【0038】また、畳込み誤り訂正符号化回路3では、バンクチャド符号化と呼ばれる符号化により、データ伝送の伝送効率を高めることが行なわれている。これは図2に示す符号化回路において、1個の情報信号を入力する毎に2個の信号が出力するため、例えば、情報信号が5個入力すると、10個の信号が送信されるが、バンクチャド符号化では、復号化側の復号に支障が生じない場合には、この出力される一方の信号を周期的に省略しており、5個の情報信号の入力に対して、9個の出力信号を送信することにより伝送効率の向上を図っている。

【0039】この場合、省略する信号の比率、逆の言い方をすれば符号化率は、復号化側において、信号を省略しても、省略しない場合と同程度の復号ができるどうかに係っている。

【0040】本発明の誤り訂正復号化装置では、情報信号系列に挿入するビット数を増減することによって誤り訂正能力を調整することができるから、挿入ビットの数を適宜設定することにより、バンクチャド符号化の符号化率を柔軟に変えることが可能である。そのため、畳込み誤り訂正符号化回路に符号化率を変更できるバンクチャド符号化手段を内蔵させ、挿入ビット数と符号化率とを関連づけることによりデータ伝送の効率化を図ることができる。

【0041】

【発明の効果】以上の実施例の説明から明らかなように、本発明の誤り訂正復号化装置では、フィードバック付き組織符号器を符号化回路として具備しながら、非組織符号器の場合と同様に、挿入ビットの挿入位置の前後の情報信号に対する誤り訂正能力を高めることができる。

【0042】さらに、本発明によれば、挿入するビット数を適宜に設定することにより、フィードバック付き組織符号器による畳込み符号のバンクチャド符号化率に柔軟性をもたせ、それにより、データ伝送の効率化を図る

ことができる。

【図面の簡単な説明】

【図1】本発明の誤り訂正復号化装置の一実施例の符号化側(a)と復号化側(b)のブロック図、

【図2】前記実施例の装置に使用するフィードバック付き組織符号器のブロック図、

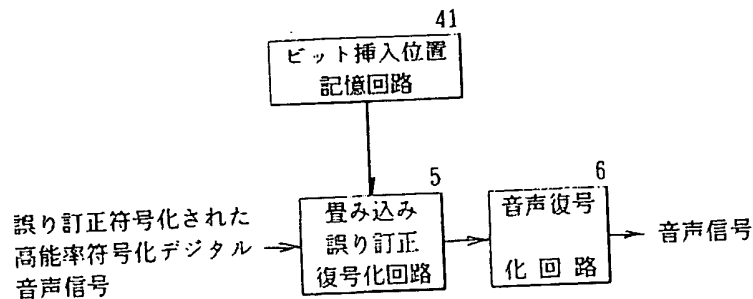
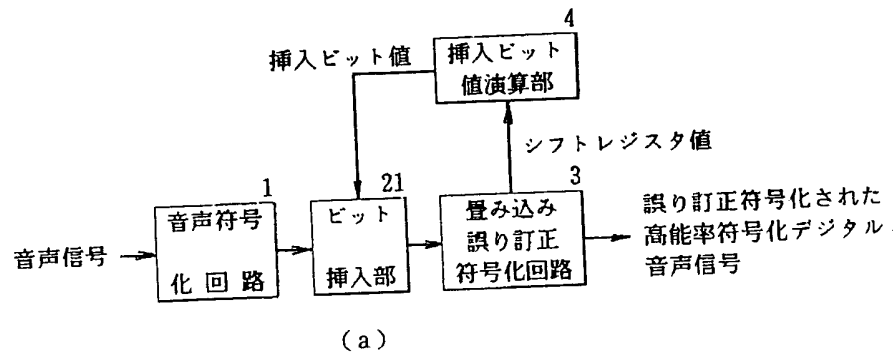
【図3】従来の誤り訂正復号化装置の一例の符号化側(a)と復号化側(b)のブロック図、

【図4】従来の装置に使用されている非組織符号器(a)とフィードバック付き組織符号器(b)のブロック図である。

【符号の説明】

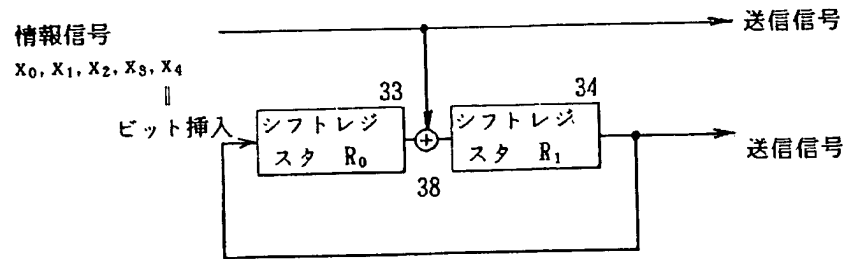
- 1 音声符号化回路
- 2 固定ビット挿入部
- 21 ビット挿入部
- 3 畳込み誤り訂正符号化回路
- 31、32、33、34 シフトレジスタ
- 35、36、37、38 排他的論理和
- 4 挿入ビット値演算部
- 41 ビット挿入位置記憶回路
- 42 固定ビット挿入位置記憶回路
- 5 畳込み誤り訂正復号化回路
- 6 音声復号化回路

【図1】

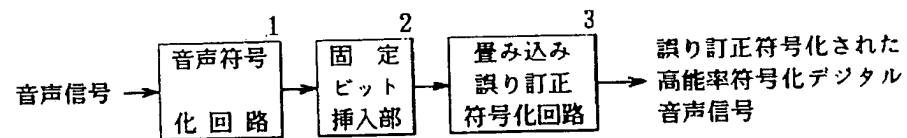


(b)

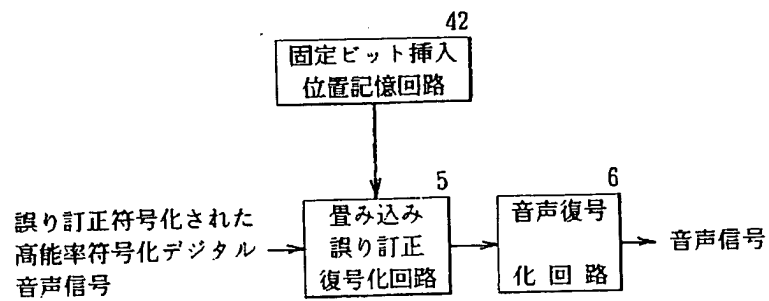
【図2】



【図3】



(a)



(b)

【図4】

